

Application No.: 47-46358  
Date of Application: May 12, 1972  
Laid-Open (KOKAI) No.: 49-12738  
Date of Laid-Open: February 4, 1974  
Publication (KOKOKU) No.: 52-40826  
Date of publication: October 14, 1977  
Convention Priority  
Priority Date:  
Country:  
Basic Application No.:  
Applicant(s): HITACHI, LTD.

Inventor(s): Takeshi KATO

Title of the Invention:  
ELECTRONIC COMPUTER

(Names of individuals and corporations have been translated phonetically)

## 特許公報

昭52-40826

⑪Int.Cl.<sup>2</sup>  
G 06 F 9/06識別記号 ⑫日本分類  
97(7) F 12庁内整理番号 ⑬公告 昭和52年(1977)10月14日  
6745-56

発明の数 1

(全 3 頁)

1

2

## ⑭電子計算機

⑮特 願 昭47-46358

⑯出 願 昭47(1972)5月12日

公 開 昭49-12738

⑰昭49(1974)2月4日

⑱発 明 者 加藤猛

日立市久慈町5200株式会社日立製作所大みか工場内

⑲出 願 人 株式会社日立製作所

東京都千代田区丸の内1の5の1

⑳代 理 人 弁理士 高橋明夫

## ㉑特許請求の範囲

1 電子計算機の各動作を指示する命令語を複数  
個記憶する主記憶装置と、主記憶装置内の実行す  
べき命令語の所在を指定するアドレスレジスタと、  
この指定により主記憶装置から読出された命令語  
を一時記憶する命令レジスタをもち、該アドレス  
レジスタの情報のあらかじめ指定した一部をとり  
出し、そのパターンの中で"0"などのあらかじ  
め決められた特異性を検出する第1の解読器と、  
この検出信号と該命令語レジスタの情報中、命令  
動作を指定する部分とを入力とする第2の解読器  
を有し、第2の解読器の出力により、命令動作の  
種別分けを行なわせた事の特徴とした電子計算機。  
発明の詳細な説明

この発明は命令のOP部(動作を指定する部  
分)のビット数を増し、また一定の要因にもとづ  
く誤動作を容易に防止することができる電子計算  
機を得ることを目的とする。

一般に電子計算機は、基本的には主記憶装置、  
演算装置、制御装置および入出力装置によつて構  
成されており、主記憶装置に格納されている一連  
の動作手順を示すプログラムを順次読み出し、一  
命令ずつ実行していくものである。

この命令のフォーマットは、一般に第1図のど

とき構成をとる。

第1図においてADDR部は主記憶装置内のデ  
ータアドレスまたは電子計算機内のレジスタなど  
を示す部分であり、OP部はADDR部で示され  
るデータまたはレジスタに演算などの動作の種別  
を指定する部分である。そしてこのような命令語  
の主記憶装置内アドレスを決めるレジスタとして  
プログラムカウンタがある。

電子計算機はこのプログラムカウンタによつて  
次に実行すべき命令の主記憶装置内の格納場所を  
知り、読み出しを行なつて命令を実行する。

第1図に示した命令のフォーマットにおいて、  
ADDR部とOP部とのビット数は次のような意  
味をもっている。すなわちADDR部のビット数  
が多ければそれだけ主記憶装置内において直接リ  
ーチできる番地数が多くなつて演算速度の高速化  
に役立ち、またOP部のビット数が増えれば命令  
の種類を増加できるのでやはり高速化に役立つの  
である。

このようにADDR部、OP部共にビット数  
が多いほど高速化に役立つが、小形電子計算機  
のように主記憶装置の容量が小さい場合には、ビッ  
ト数が増加すると主記憶装置内に収納できるプロ  
グラム数が減少し高速化と相反することになる。

一般に電子計算機はADDR部とOP部のビッ  
ト数、およびプログラム数の三者のバランスを考  
慮して命令の全ビット数、アドレス部およびOP  
部のビット数の配分が決められる。

本発明は第2図のブロック図に示すように、プ  
ログラムカウンタ2によつて主記憶装置1内の番  
地を指定して読み出された命令3のうちのOP部  
30と、プログラムカウンタ2の内容とを共に命  
令解読器4に入れることによつて、プログラムカ  
ウンタの内容が等価的にOP部のビット数を増し、  
命令数を増すものである。

以下実施例によつて本発明を説明する。

第3図は本発明の一実施例のブロック図である。

3

一般に主記憶装置内プログラムは大別してスーパーバイザリイプログラムとアプリケーションプログラムとに分けられる。そしてスーパーバイザリイプログラム内にて使われる命令とアプリケーションプログラム内にて使われる命令とはその使用頻度が異なる。たとえば、入出力命令はスーパーバイザリイプログラムのみの場合がほとんどであり、浮動小数点演算、倍長演算などはスーパーバイザリイプログラムでは必要としない。また、一般にスーパーバイザリイプログラムは記憶装置のコアの先頭番地よりコア常駐の形で格納されている。以上のような点を考慮して、本実施例では主記憶装置を二つのエリアに分けている。

すなわち第3図において、主記憶装置1の $0 \sim 2^n - 1$ 番地はスーパーバイザリイプログラム用エリア10とし、 $2^n \sim 2^{n+m} - 1$ 番地はアプリケーションプログラム用エリア11としている。

そしてプログラムカウンタ2の $2^n \sim 2^m$ ビットAll "0"を検出する回路21を設け、その出力を読み出された命令3のOP部30と共に命令解読器4に与える。そして命令解読器4の出力はAおよびBの2群に分けられ、A群はスーパーバイザリイプログラム用命令、B群はアプリケーションプログラム用命令とされる。

なお命令解読器の構成および命令解読器出力の使用方法によつて、スーパーバイザリイプログラムとアプリケーションプログラム間の共通の基本命令およびスーパーバイザリイプログラム専用命令とアプリケーションプログラム専用命令とに分割することは可能である。

このようにして命令数を増すと同時に、本発明はアプリケーションプログラムでは使用できないスーパーバイザリイ専用命令を作ることによつて、

4

アプリケーションプログラム誤動作によるシステム事故を軽減することができる。たとえば、従来はアプリケーションプログラムの命令がエラーチェックにかからないような誤った形で(誤つて入出力命令になつた場合やプログラムミス、パンチミスなど)で主記憶装置に記憶され、その命令を実行することによつて外部のシステムに混乱を引き起こす恐れがあつたが、本実施例においてはスーパーバイザリイプログラム用入出力命令はアプリケーションプログラムにおいてはダミー命令とすることによつて誤動作を防ぐことができる。また、スーパーバイザリイプログラム内の各種テーブル操作をスーパーバイザリイ専用命令にすることによつてアプリケーションプログラムによるテーブル破壊を防ぐことも可能である。

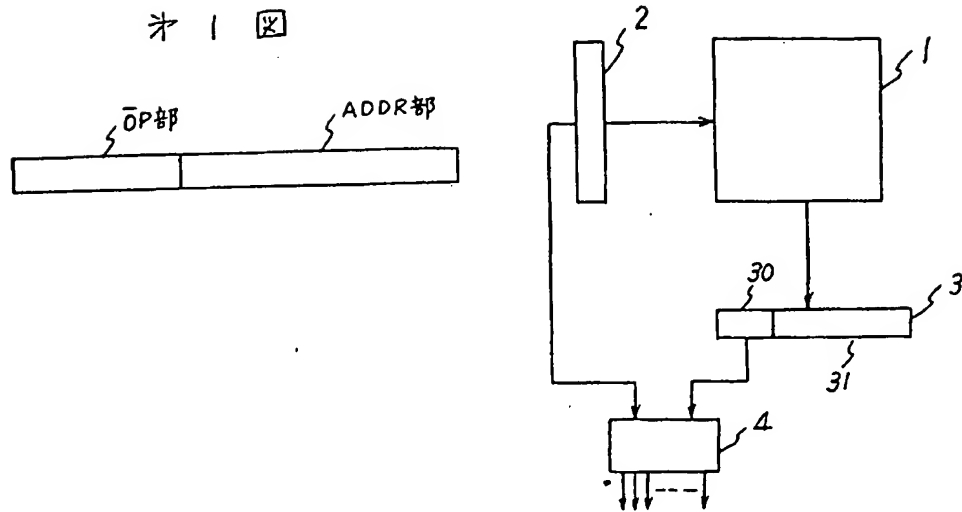
以上のように本発明はOP部のビット数を増加することなしに命令の数を増して電子計算機全体の効率を向上させ、また比較的安価に一定要因にもとづく誤動作を防止することができるなどの効果を有する。

#### 図面の簡単な説明

第1図は一般の電子計算機における命令のフォーマットを示す図、第2図は本発明のブロック図、第3図は本発明の一実施例のブロック図である。

符号の説明、1……主記憶装置、10……スーパーバイザリイプログラムエリア、11……アプリケーションプログラムエリア、2……プログラムカウンタ、21……"0"検出回路、3……命令、30……OP部、31……ADDR部、4……命令解読器、A……スーパーバイザリイプログラム用命令群、B……アプリケーションプログラム用命令群。

\* 2 図



\* 3 図

